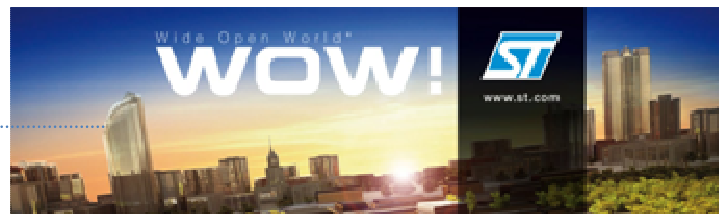




INSA



Lyon 1



Fondé en 1987, STMicroelectronics est aujourd'hui le premier fabricant européen de semi-conducteurs avec plus de 45 000 collaborateurs et est présent dans 36 pays. Nos composants sont au cœur de tous les systèmes électroniques de télécommunication, informatique, automobile, grand public, cartes à puces...

PROPOSITION de THESE, 3 ans

Titre : Elaboration, Caractérisation et Fiabilité des connexions Cuivre-Cuivre pour l'assemblage des dispositifs micro-électroniques de demain

Financement : CIFRE STMicroelectronics / ANR. **Salaire :** ingénieur débutant

Date de démarrage : Octobre 2020 (décembre 2020 au plus tard)

Partenaires :

- STMicroelectronics, Département Recherche & Développement, Fiabilité. Equipe « Chip to package interactions ». Sites de Crolles (38290) et Grenoble (38000), France.

directeur de thèse : L. Broussous / **E-mail :** Lucile.broussous@st.com

- Laboratoire Matériaux, Ingénierie et Science (MATEIS), INSA LYON. UMR CNRS 5510. Equipe Corrosion et Ingénierie de Surface (CORRIS). 69000 Lyon

Directeur de thèse : B. Normand / **E-mail :** bernard.normand@insa-lyon.fr

Pour postuler, envoyer votre dossier complét (CV + Lettre de motivation + relevés de notes Master1 & S1 Master2) avant le 30/05/2020 à : Lucile.broussous@st.com

(/! les candidatures seront traitées et examinées dans l'ordre d'arrivée, et l'offre close dès la sélection d'un candidat)

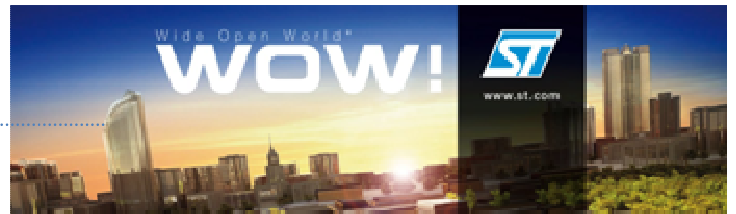
STMicroelectronics est l'un des leader Européen de la fabrication de puces électroniques et de capteurs d'images, pour diverses applications comme les composants automobile, les téléphones portables, les imprimantes et l'électroménager. Les sites de Crolles et Grenoble ont une activité Recherche et Développements pour différentes applications, et recrutent des Doctorants, en collaboration avec les universités Françaises.

MATEIS est un laboratoire de Science des Matériaux à l'intersection de champs disciplinaires, principalement en chimie, physique et mécanique. Le laboratoire MATEIS étudie les trois classes de matériaux (métaux, céramiques, polymères) et leurs composites en intégrant les caractéristiques en volume, en surface et les interfaces. Le laboratoire s'attache à décrire les relations élaboration-microstructure-propriétés, avec une approche expérimentale et/ou de modélisation. MATEIS intervient dans les domaines des procédés avancés d'élaboration, de la caractérisation microstructurale, souvent in situ et/ou 3D, de la modélisation à différentes échelles, et de la caractérisation des propriétés d'usage.

CONTEXTE & Sujet de la thèse : Après la fabrication des puces sur plaquettes de silicium (site de Crolles), les plaques sont découpées, et les puces mises en boîtier (site de Grenoble). La connexion électrique entre la puce et le boîtier protecteur se fait grâce à des fils métalliques d'environ 30µm de diamètre. L'or est généralement utilisé pour ces connexions, car il est très robuste à la corrosion et offre une bonne fiabilité des connexions (durée d'utilisation, qualité), dans une large gamme de conditions d'utilisation (tension électrique appliquée, températures d'utilisation, ...). Cependant, pour différentes raisons techniques, et pour une réduction des coûts, l'utilisation de fils de Cuivre est étudiée depuis 15ans, et prend de l'ampleur.

Dans ce projet de recherche, l'objectif sera de caractériser la fiabilité des assemblages par fil de cuivre sur les connecteurs en cuivre de la puce. L'étude très pluridisciplinaire, inclura le développement et l'évaluation de revêtements de surface des connecteurs cuivre pour assurer une protection anti-corrosion (films minces de métaux nobles, d'oxydes métalliques, films isolants), ainsi que l'évaluation finale de la fiabilité du système soumis à différents stress (thermique, humidité, mécanique, électrique). Le travail comportera des essais en laboratoire sur les films minces, l'application à des puces réalisées à Crolles et mises en boîtier à Grenoble. L'étudiant sera en charge de ses expérimentations, et évoluera dans un cadre de gestion de projets interdisciplinaire et multi-site (Crolles, Grenoble, Lyon).

Le candidat sera issu d'une école d'ingénieur ou d'une formation universitaire de Master avec des compétences dans une ou plusieurs des spécialités suivantes : Physique, Science des Matériaux, Physico-Chimie, Micro/Nanotechnologies, Instrumentation. Un bon niveau en anglais ainsi que la motivation pour l'innovation, le travail d'équipe et les sujets pluridisciplinaires est souhaitée.



Fondé en 1987, STMicroelectronics est aujourd'hui le premier fabricant européen de semi-conducteurs avec plus de 45 000 collaborateurs et est présent dans 36 pays. Nos composants sont au cœur de tous les systèmes électroniques de télécommunication, informatique, automobile, grand public, cartes à puces...

3 Year PhD Position

Title : Copper to Copper wirebonding connections Characterization and Reliability

Financial support : CIFRE STMicroelectronics / ANR

Project start date : October 2020

PhD Supervision, MATEIS laboratory : M.Fregonese / B.Normand

PhD Supervision, STMicroelectronics : Lucile Broussous / E-mail : Lucile.broussous@st.com

Collaboration details :

- **Laboratoire Matériaux, Ingénierie et Science (MATEIS), INSA LYON. UMR CNRS 5510. Equipe Corrosion et Ingénierie de Surface (CORRIS).** 69000 Lyon

- **STMicroelectronics, R&D Reliability department. Team « Chip to package interactions».** In Crolles (38290) and Grenoble (38000), France.

To apply, please send CV + motivation letter + Master 1 and S2 Master 2 credits to : Lucile.broussous@st.com

Applications will be treated when received, and this offer will be closed as soon a student will be selected

Abstract:

Metal wires are used to connect the chips to their package, then ensure power supply. Gold is widely used for this purpose because of its resistance to corrosion, and its reliability, however for technical reasons and for cost reduction, copper wires are gaining interest.

In this research project, the aim will be to characterize the reliability of copper wire bonding on Copper pads (pad is the last metal layer in the chip). The study will include the development and the evaluation of surface coatings on copper to ensure corrosion protection (noble metals, metal oxides and insulators), and the final evaluation of the connection reliability when submitted to various stresses (thermal, humidity, mechanical, electrical).

The student will work in STMicroelectronics Crolles and Grenoble, and will handle experiments in the associated laboratory in LYON (env. 50% time).

This interdisciplinary project requires competences in the field of physics, materials sciences, micro/nanotechnologies, instrumentation. The candidate should be graduated from an Engineer School or University Master degree. A good level of English and a strong motivation for innovation, team working and interdisciplinary works are required.